

Requested Patent: JP10294445A

Title:

DUAL THIN OXIDE ESD NETWORK FOR NONVOLATILE MEMORY APPLICATIONS

Abstracted Patent: US5872378 ;

Publication Date: 1999-02-16 ;

Inventor(s):

SZAFRANSKI ROBERT C (US); ROSE RUSSELL E (US); VOLDMAN STEVEN H (US) ;

Applicant(s): IBM (US) ;

Application Number: US19970834559 19970407 ;

Priority Number(s): US19970834559 19970407 ;

IPC Classification: H01L29/788 ;

Equivalents: JP2977084B2 ;

ABSTRACT:

An Electric Static Discharge (ESD) protection network for nonvolatile memory using a high voltage dual thin oxide MOSFET. In one aspect, there is a dual oxide electric static discharge (ESD) protective network for nonvolatile memory in which ESD protection is provided using a thick oxide PFET in a thick epitaxial layer with sequence independent circuitry. The dual oxide ESD network includes a high voltage PFET ESD network for 12 V to 5 V applications as well as a low voltage PFET network 5 V to 3 V applications taking advantage of dual oxides supported by the disclosed technology. The circuit saves space, is migratable, improves reliability, and it is voltage differential independent.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-294445

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/115

H 0 1 L 27/10

4 3 4

27/10

4 9 1

4 9 1

21/8247

29/78

3 7 1

29/788

29/792

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号 特願平10-89668

(22) 出願日 平成10年(1998)4月2日

(31) 優先権主張番号 08/834559

(32) 優先日 1997年4月7日

(33) 優先権主張国 米国 (US)

(71) 出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレーション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(72) 発明者 ラッセル・イー・ローズ

アメリカ合衆国12549 ニューヨーク州モ
ンゴメリー グッドウィル・ロード 205

(74) 代理人 弁理士 坂口 博 (外1名)

最終頁に続く

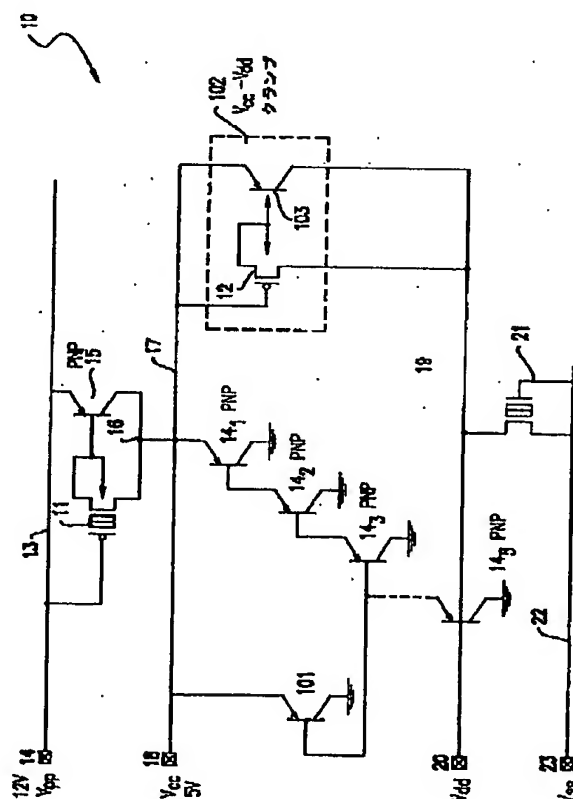
(54) 【発明の名称】 不揮発メモリ用二重薄膜酸化物静電放電ネットワーク

(57) 【要約】

【課題】 高電圧二重薄膜酸化物MOSFETを使用した不揮発メモリ用静電放電(ESD)保護ネットワークを提供する。

【解決手段】 一態様では、不揮発メモリ用二重酸化物静電放電(ESD)保護ネットワークは、連続した独立回路を有する厚いエピタキシャル層中の厚い酸化物PFETを使用して、ESD保護が行われる。この二重酸化物ESDネットワークは、12Vないし5V応用例のための高電圧PFETによるESDネットワークとともに、5Vないし3V応用例のための低電圧PFETネットワークを有し、開示した技術に支持された二重酸化物の利点が生かされる。

【効果】 本回路により、スペースが節減され、移行が可能となり、信頼性が改善され、電圧の差異の影響を受けない。



【特許請求の範囲】

【請求項1】高電圧二重薄膜酸化物MOSFETを具備する不揮発メモリ用静電放電(ESD)防止ネットワーク

【請求項2】 $V_{pp} < V_{cc} < V_{dd} < V_{ss}$ の関係にある電圧 V_{pp} 、 V_{cc} 、 V_{dd} 、 V_{ss} のための第1、第2、第3、第4の電圧レールを有する二重薄膜酸化物静電放電(ESD)ネットワークにおいて、上記ESDネットワークが、

第1の電圧レールに接続された二重薄膜酸化物ゲート構造と、第2の電圧レールに接続されたドレインを有する高電圧pチャネル・デバイスと、

第1の電圧レールに接続されたエミッタと、第2の電圧レールに接続されたコレクタと、高電圧pチャネル・デバイスのソースに接続されたベースとを有する高電圧バイポーラPNPトランジスタと、

第1の電圧レールと第2の電圧レールとの間に接続された一連のp+ダイオードと、

第2の電圧レールと上記p+ダイオードとの間に接続されたスナバ・ダイオードと、

第3の電圧レールと第4の電圧レールとの間に接続されたnチャネル・デバイスを具備する二重薄膜酸化物ESDネットワーク。

【請求項3】第1の電圧レールと第2の電圧レールとの間に接続されたクランプをさらに具備する、請求項2に記載の二重薄膜酸化物ESDネットワーク。

【請求項4】一連のp+ダイオードが、PNPバイポーラ・トランジスタで構成され、スナバ・ダイオードが、第2の電圧レールと第3の電圧レールとの間のダークリントン増幅を防止する働きをする、請求項1に記載の二重薄膜酸化物ESDネットワーク。

【請求項5】上記高電圧pチャネル・デバイスと上記一連のp+ダイオードがn-ウェル中に形成され、上記n-ウェルが厚さ約2.5 μ mのpエピタキシャル層中に形成される、請求項4に記載の二重薄膜酸化物ESDネットワーク。

【請求項6】上記高電圧pチャネル・デバイスが、電圧差 $V_{pp} - V_{cc}$ の誘電過応力を防止するのに十分な厚さの二重薄膜酸化物ゲート構造を有する、請求項2に記載の二重薄膜酸化物ESDネットワーク。

【請求項7】 V_{pp} が約12Vであり V_{cc} が約5Vであり、上記高電圧pチャネル・デバイスが厚さ約200Å以上である、請求項6に記載の二重薄膜酸化物ESDネットワーク。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は不揮発メモリの保護に関するものであり、さらに詳細には、不揮発メモリ応用例用の二重薄膜酸化物静電気放電(ESD)保護ネットワークに関するものである。

【0002】

【従来の技術】不揮発メモリの主要な要件は、回路から電力を除去した後も情報を保持することである。金属酸化物半導体(MOS)トランジスタは、酸化物が適切に高品質であれば、アースに対するゲート・インピーダンスが高く、電荷の長期保持が可能なため、この目的に使用されている。このような従来の不揮発メモリのひとつに、浮動ポリシリコン・ゲートを有するpチャネルMOS電界効果トランジスタ(PFET)がある。さらに進歩したメモリ・セルの設計は、上部電極が制御ゲートとして機能する積層ポリシリコン・ゲート構造で構成される。

【0003】不揮発メモリの動作は、酸化物の薄膜を通してのトンネル現象にも基づくものである。通常これは、浮遊ゲートの小部分を、トンネル現象が生じる酸化物の薄膜(100ないし200Å)上に置くことにより行われる。この種のデバイスに、プログラマブル読み取り専用メモリ(PROM)がある。特定の種類のPROMには、ビットごとに消去して再プログラミングが可能な電子的に消去可能なプログラマブル読み取り専用メモリ(EEPROMまたはE²PROM)デバイスがある。これらの不揮発メモリは、静電気放電(ESD)からの保護を必要とする。

【0004】従来の技術による記憶デバイスは、3.3V相補型MOS(CMOS)技術を用いて製造されている。しかし最近では、RAM産業で不揮発ランダム・アクセス・メモリ(NVRAM)プログラミングのための12Vパワー・ピンの需要が生じ、このためNVRAM回路が過電圧にならないESD保護ネットワークの必要が生じている。

【0005】

【発明が解決しようとする課題】本発明の一般的な目的は、不揮発メモリ応用例のESD保護ネットワークを提供することにある。

【0006】本発明の他の、より具体的な目的は、12V NVRAM用高電圧PFETを用いたESD保護ネットワークを提供することにある。

【0007】本発明の他の目的は、ESD回路がNVRAM回路の過電圧を引き起こさない、12/5Vインターフェースおよび5/3VインターフェースのためのNVRAM用高電圧PFETを用いたESD保護ネットワークを提供することにある。

【0008】

【課題を解決するための手段】本発明によれば、高電圧二重酸化物薄膜MOSFETを用いた、不揮発メモリ応用例のESD保護ネットワークが提供される。本発明の1実施例では、不揮発メモリ用二重酸化物薄膜ESD保護ネットワークが、二重酸化物薄膜PFETを用いてESDに対する保護を行う。さらに具体的には、本発明の二重酸化物薄膜ESDネットワークは、本発明の技術に

より支持される二重酸化物薄膜の利点を生かして、5Vないし3V応用例の低電圧PFETネットワークと同時に、12Vないし5VのNVRAM応用例の高電圧PFETネットワークを含むことができる。

【0009】好ましい実施例では、ESDネットワークがそれぞれ電圧 V_{pp} 、 V_{cc} 、 V_{dd} 、および V_{ss} のための第1、第2、第3、および第4の電圧レールを有する不揮発メモリに適用される。通常 $V_{pp} < V_{cc} < V_{dd} < V_{ss}$ であり、 V_{pp} は通常12V、 V_{cc} は通常5V、 V_{dd} は通常3V、 V_{ss} は基板アースである。高電圧pチャネル・デバイス、第1の電圧レールに接続された二重酸化物ゲート構造と、第2の電圧レールに接続されたドレインを有する。高電圧バイポーラPNPトランジスタは第1の電圧レールに接続されたエミッタ、第2の電圧レールに接続されたコレクタ、および高電圧pチャネル・デバイスのソースに接続されたベースを有する。一連のp+ダイオードが、第1の電圧レールと第2の電圧レールとの間に接続されている。これらのp+ダイオードはPNPトランジスタにより構成されている。PNPからなるスナバ・ダイオードが、第2の電圧レールとPNPトランジスタのストリングとの間に接続されている。このスナバ・ダイオードの動作により、第2の電圧レールと第3の電圧レールとの間のダーリントン増幅が防止される。NFEETが第3の電圧レールと第4の電圧レールとの間に接続されている。

【0010】本発明の他の特長は、本発明による回路により、回路を過負荷にすることなく、5Vの電圧レールに放電することである。また、この回路は V_{pp} 保護を行い、これは順序には無関係である。さらに、本発明のESD保護回路は高電圧二重酸化物NFEETを用いて実施することもできる。また、本発明の回路は、NVRAMの入出力(I/O)のためのすべての回路上のピンにも、EEPROMなどの埋め込みコアNVRAMの応用例にも有用である。本発明は、回路中の高電圧ピンにも低電圧ピンにも適用することができる。本発明のESD回路はスペースを節減し、移動が可能であり、信頼性が改善され、電圧差の影響を受けない。

【0011】

【発明の実施の形態】図を参照して、特に図1を参照して、不揮発メモリのためのESD保護に関する本発明の1実施例による等価回路10を示す。二重誘電層の厚みを利用することにより、二重の酸化物薄膜PFET11と酸化物薄膜PFET12の両方を用いて、回路10上にESD構造を集積する。「二重酸化物薄膜」技術は、ゲート導体とFETとの間に形成されたゲート誘電体酸化物が、犠牲酸化物層とゲート酸化物層の両方の厚みからなることを意味する。pチャネル二重酸化物薄膜電界効果トランジスタ11（すなわち高電圧PFET）が、高電圧ESD保護インターフェースのためにNVRAMで使用される。

【0012】後の製造例の説明で詳細に説明するが、高電圧PFET11は、二重酸化物薄膜の厚みが電圧差($V_{pp} - V_{cc}$)の関数として決まるように製造する。すなわち、二重酸化物薄膜の厚みは、電圧差 $V_{pp} - V_{cc}$ が高電圧PFET11中のMOSFETを故障させないような値まで大きくしなければならない。PFET11に形成される二重酸化物薄膜の厚みは、このように電圧の応力に依存し、工程には依存しない。この厚みは、誘電MOSFETの過応力を防止するのに十分な厚みでなければならない。例示した V_{pp} が12V、 V_{cc} が5Vの高電圧ESD保護インターフェースのための、NVRAM中のpチャネル二重酸化物薄膜電界効果トランジスタ11（すなわち高電圧PFET）を使用した実施例では、上述の基準を満たすのに必要な二重誘電体の厚みは、通常そのゲート導体と少なくとも約200Å、またはそれより厚いチャネルとの間の厚みである。この二重酸化物薄膜の厚みは、同様の電圧差環境で使用する従来のゲート誘電体の厚み（約100Å）の少なくとも約2倍である。

【0013】さらに、高電圧PFET11は、従来の接合深さより深い位置の厚いエピタキシャル領域に配置された深い接合を有する。以下に詳細に示す製法の例では、高電圧PFET11は厚いpエピタキシャル層中に形成されたNウェル中に形成される。この構造の高電圧PFETは、回路に12Vないし5Vなどの高電圧入力からのESD保護を与えるために使用される。

【0014】図1に戻って、PFET11のpチャネル・ゲートは、12V端子14に接続された V_{pp} の電圧レール13に接続されている。高電圧PNPバイポーラ・トランジスタ15のエミッタも、電圧レール13に接続されている。高電圧PFET11のドレインは、ウェルに接続され、高電圧PNPバイポーラ・トランジスタ15のベースは、高電圧PFET11のドレインに接続されている。バイポーラ・トランジスタ15のコレクタと高電圧PFET11のソースは、共通にノード16に接続され、さらにノード16は V_{cc} の電圧レール17に接続されている。電圧レール17は5V端子18に接続されている。

【0015】ESD保護ネットワークのための二重酸化物薄膜PFET11を使用して、回路10はPNP15がフォワード・バイアスされることなく、12VをNVRAMに与える。さらに、回路10は、電圧レール17とアースの間に直列に接続されたダイオードによって達成される高電圧PFET11のブローアップなしに、12VをNVRAMチップに与えなければならない。すなわち、チップのキャパシタンスのほとんどがチップ内部のものであるため、高電圧PNP15のp+ダイオードのあとに、PNPバイポーラ・トランジスタ14₁ないし14₅の一連のp+ダイオードから端子20に接続された V_{dd} 供給レール19が続く。高電圧PFET11と

同様、PNPバイポーラ・トランジスタ14₁から14₅までが、厚いpタキシャル層中に形成されたNウェル中に形成することができる。低電圧PNPバイポーラ・トランジスタ101は、p+ダイオード・ストリング14₁ないし14₅を横切っては位置されたスナバ・ダイオードとして使用し、V_{cc}からV_{dd}までのダーリントン増幅を除去することができる。V_{cc}-V_{dd}クランプ102は、低電圧pチャネルMOSFET構造12とnチャネル接合トランジスタ103との組み合わせで構成される。低電圧pチャネルMOSFET構造12は、5V電圧レール17に接続されたゲートと、V_{dd}の電圧レール19に接続されたソースを有するNウェル中にある。

【0016】nチャネル電界効果トランジスタ(NFET)21は、V_{dd}の電圧レール19と、端子23に接続された基板電圧レール(V_{ss})22の間のクランプとして機能する。NFET21は、製造工程によって薄いゲート酸化物層であっても、厚いゲート酸化物層であってもよい。

【0017】この基本的な本発明の二重酸化物薄膜ESDネットワーク10によって、高電圧PFETを12VのNVRAM応用例に使用することができる。本発明の他の特長は、回路10により、回路に過負荷を与えることなく5V電圧レールに放電することができることである。また、回路10は、V_{pp}保護を行い、順序には関係がない。さらに、本発明の回路10は、NVRAMの、またはEEPROMなどの埋め込みコア中の、I/Oのためのすべての回路上にあるピンに有用である。

【0018】図2は、図1に示すESDネットワークの3つの主要構成要素を示すブロック・ダイアグラムである。第1の構成要素はV_{pp}/V_{cc}ESDネットワーク1で、これは図1に示すように、二重酸化物薄膜PFET11と、PNPバイポーラ・トランジスタ15により構成されている。第2の構成要素は、高電圧/低電圧許容要素で構成されるV_{cc}/V_{dd}ESDブロック・ネットワーク2である。これらは、図1に示すスナバ・ダイオード101、クランプ102、およびp+ダイオードの列を有する。第3の構成要素はV_{dd}/V_{ss}ESDブロック・ネットワーク3である。図1ではこれはNFET21である。特定の応用例では、入出力(I/O)回路4はレール17と、レール19および22との間に接続されている。チップのコア回路5(たとえばNVRAMアレイ)は、レール19とレール22との間に接続されている。応用例によっては、V_{dd}を調整するために、電圧調整回路(図示せず)をレール17とレール19との間に接続してもよい。

【0019】本発明のESD回路に使用する各種のPFETおよびNFETデバイスの製法の例を以下に示す。

【0020】図3ないし図14を参照して、製造の各段階における本発明の回路10に使用するMOSFETの製造の各段階における代表的部分を示す。詳細には、こ

の製造工程により、本明細書ではEEPROMと示すNVRAMデバイスとともに使用することができるCMOS構造が形成される。本発明の回路の実用性は、必ずしもあらゆる種類のNVRAMのESD保護だけではないが、説明のため、EEPROMなどの埋め込みコア・デバイスに関して説明する。また、図3ないし図14に示す断面図は説明のみのためであり、必ずしも縮尺どおりではない。図からわかるように、完成したMOSFETデバイスは図1の回路10に示すように相互に、および他の電気部品と電気的に関連する。

【0021】製法自体は、p+型シリコン基板26上に厚み約2.5μmのpエピ・シリコン層25をエピタキシャル形成する最初の工程を有する。この層は、比較的厚いpエピ層で、CMOSデバイスを形成する基板として使用する従来のpエピ層は厚みが約2μmしかない。図3に示すように、従来のエッチングおよびトレンチ充てん法により、pエピタキシャル・シリコン層26中に浅いトレンチ分離(STI)24を形成して、低電圧PFET12、低電圧NFET21、高電圧PFET11、図1に示す高電圧NFET15のための最終的デバイス領域を、EEPROM領域8とともに画定する。代替方法として、たとえば従来のLOCOS技術により形成したROX酸化物分離を使用することもできる。

【0022】次に図4に示すように、マスクM1を使用し、54keVで、2.0×10¹²原子/cm²の注入量でホウ素をイオン注入して、pエピ層22中に高電圧NFET15およびEEPROMセル8のためにp+ウェル27を形成する。マスクM1をストリッピングした後、従来の方法でトンネル酸化物(図示せず)を形成し、EEPROMセル8のために画定する。EEPROM領域8上にアモルファス・ポリシリコン層29を形成し、ポリシリコン層29に12keVで、1.0×10¹⁵原子/cm²の注入量でリンをイオン注入する。

【0023】次に図5に示すように、厚み約140ないし200Åの犠牲酸化物層30をデバイス領域17、21、11、および15上に形成し、EEPROMセル8をドーピングしたポリシリコン層29上にマスク29'でマスクする。次に図6に示すように、フォトリソグラフィ・パターンニング・マスクM2を用いて、220keVで、5.1×10¹²原子/cm²の注入量でアンチモンをイオン注入して、低電圧PFET12および高電圧PFET11のためのNウェル28を形成する。このイオン注入工程で、NPNバイポーラ・トランジスタ14₁ないし14₅(図6には図示せず)に必要なNウェルを、厚いpエピタキシャル層26中に同時に形成することができる。代替方法として、別の注入工程を設けて、NPNバイポーラ・トランジスタ14₁ないし14₅を形成するために使用されるNウェルを形成することもできる。ダイオードの列14₁ないし14₅は深いまたは浅いp+注入物を使用することができる。ESDの確実性を

改善するため、これらのダイオードは厚いエピタキシャル皮膜26を使用する。

【0024】次に図7に示すように、マスクM3に形成した開口を通して、200keVで、 8.0×10^{12} 原子/cm²の注入量でホウ素をイオン注入して、低電圧NFET21のためのp+ウェル31を形成する。次に、ウェーハ全体の他の表面をマスクングして、上記低電圧PFET12および低電圧NFET21の上から犠牲酸化物30をエッチングする。

【0025】次に図8に示すように、高電圧PFET11および高電圧NFET15の犠牲酸化物30上と、低電圧PFET12および低電圧NFET21の露出した表面の真上に厚み10ないし70Åのゲート酸化物32を形成する。ゲート酸化物32と犠牲酸化物30からなる誘電酸化物の厚みの合計は、高電圧PFET11および高電圧NFET15について約210Åである。次に、FETデバイス12、21、11、および15のそれぞれ、ならびにEEPROM領域8について、従来の方法でポリシリコンのゲート導体33を形成すると、図8に示す中間構造が得られる。

【0026】図9に見られるように、ポリシリコン層26をパターニングして、EEPROMデバイス8の浮遊ゲートを画定した後、ウェーハの残りの領域をマスクM4でマスクングして、pウェル27に85keVで、 2.0×10^{12} 原子/cm²の注入量でリンをイオン注入して、高電圧NFET15のドレイン領域とEEPROM8のソース/ドレイン領域を形成する。

【0027】次に図10に示すように、ウェーハの残りの領域をマスクM5でマスクングして、80keVで、 3.0×10^{15} 原子/cm²の注入量で、ヒ素をEEPROM8のソース/ドレイン領域にイオン注入する。

【0028】マスクM5をストリッピングした後、図11に示すように、従来の方法でゲート導体33の側壁上に窒化物側壁スペーサ34を形成する。次に図12に示すように、マスクM6を用いて15keVで、 7.5×10^{14} 原子/cm²の注入量で、リンをイオン注入して、低電圧NFET21のソースおよびドレイン領域を形成する。次に、マスクM7を用いて、低電圧PFET12および高電圧PFET11の両方のソースおよびドレイン領域に、従来のリーチスルーp+注入を行い、40keVで、 5.0×10^{14} 原子/cm²の注入量で、ゲルマニウムをイオン注入して、軽度ドーピングしたドレイン延長部を形成する。次に図13に示すように、11keVで、 4.0×10^{15} 原子/cm²の注入量でホウ素をイオン注入して、Nウェル28中の低電圧PFET12および高電圧PFET11の両方に、深いp+ソースおよびドレイン領域を設ける。次に形成した構造をアニーリングして、図14に示すCMOSおよびEEPROM構造を完成させる。その後各種のソースおよびドレイン領域、ならびにゲート導体に金属接点(図示

されていない)およびメタライゼーションを形成して、図1に示す回路を得る。

【0029】本発明の回路に重要な特長および利点には、NVRAMおよびESDでの従来より厚いエピタキシャル層の使用、NVRAMおよびESDでの従来より深い接合の使用、12Vないし5VにおけるESD保護のための厚い酸化物PFETの使用、5Vないし3VにおけるESD保護のための薄い酸化物PFETの使用、およびNVRAM製品のESD保護がある。

【0030】まとめとして、本発明の構成に関して以下の事項を開示する。

【0031】(1) 高電圧二重薄膜酸化物MOSFETを具備する不揮発メモリ用静電放電(ESD)防止ネットワーク

(2) $V_{pp} < V_{cc} < V_{dd} < V_{ss}$ の関係にある電圧 V_{pp} 、 V_{cc} 、 V_{dd} 、 V_{ss} のための第1、第2、第3、第4の電圧レールを有する二重薄膜酸化物静電放電(ESD)ネットワークにおいて、上記ESDネットワークが、第1の電圧レールに接続された二重薄膜酸化物ゲート構造と、第2の電圧レールに接続されたドレインを有する高電圧pチャネル・デバイスと、第1の電圧レールに接続されたエミッタと、第2の電圧レールに接続されたコレクタと、高電圧pチャネル・デバイスのソースに接続されたベースとを有する高電圧バイポーラPNPトランジスタと、第1の電圧レールと第2の電圧レールとの間に接続された一連のp+ダイオードと、第2の電圧レールと上記p+ダイオードとの間に接続されたスナバ・ダイオードと、第3の電圧レールと第4の電圧レールとの間に接続されたnチャネル・デバイスを具備する二重薄膜酸化物ESDネットワーク。

(3) 第1の電圧レールと第2の電圧レールとの間に接続されたクランプをさらに具備する、上記(2)に記載の二重薄膜酸化物ESDネットワーク。

(4) 一連のp+ダイオードが、PNPバイポーラ・トランジスタで構成され、スナッパ・ダイオードが、第2の電圧レールと第3の電圧レールとの間のダーリントン増幅を防止する働きをする、上記(1)に記載の二重薄膜酸化物ESDネットワーク。

(5) 上記高電圧pチャネル・デバイスと上記一連のp+ダイオードがn-ウェル中に形成され、上記n-ウェルが厚さ約2.5μmのpエピタキシャル層中に形成される、上記(4)に記載の二重薄膜酸化物ESDネットワーク。

(6) 上記高電圧pチャネル・デバイスが、電圧差 $V_{pp} - V_{cc}$ の誘電過応力を防止するのに十分な厚さの二重薄膜酸化物ゲート構造を有する、上記(2)に記載の二重薄膜酸化物ESDネットワーク。

(7) V_{pp} が約12Vであり V_{cc} が約5Vであり、上記高電圧pチャネル・デバイスが厚さ約200Å以上である、上記(6)に記載の二重薄膜酸化物ESDネットワ

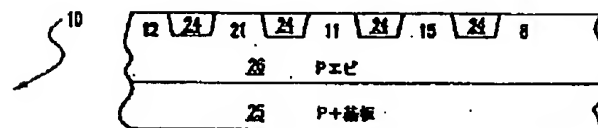
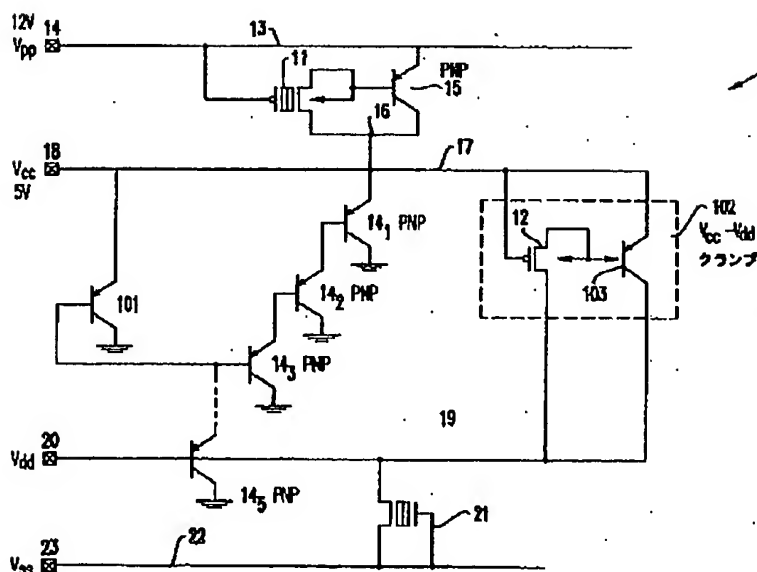
【図面の簡単な説明】

【図10】図1に示すESD回路に使用するMOSFETの、本発明の製造工程の一例における図9に続く段階を示す拡大断面図である。

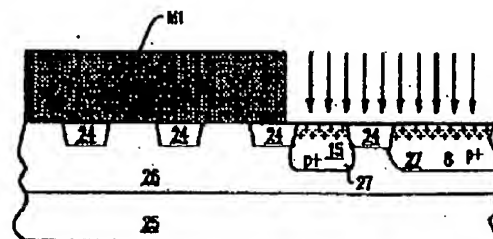
【図14】図1に示すESD回路に使用するMOSFETの、本発明の製造工程の一例における図13に続く段階を示す拡大断面図である。

- 10 等価回路
- 11 pチャネル電界効果トランジスタ
- 12 pチャネルMOSFET
- 13 V_{pp} 電圧レール
- 14 端子
- 14₁ ~ 14₅ ダイオード
- 15 PNPバイポーラ・トランジスタ
- 16 ノード
- 17 V_{cc} 電圧レール
- 18 端子
- 19 V_{dd} 電圧レール
- 20 端子
- 21 nチャネル電界効果トランジスタ
- 22 基板電圧レール
- 23 端子
- 101 PNPバイポーラ・トランジスタ
- 103 $V_{cc} - V_{dd}$ クランプ
- 103 nチャネル接合トランジスタ

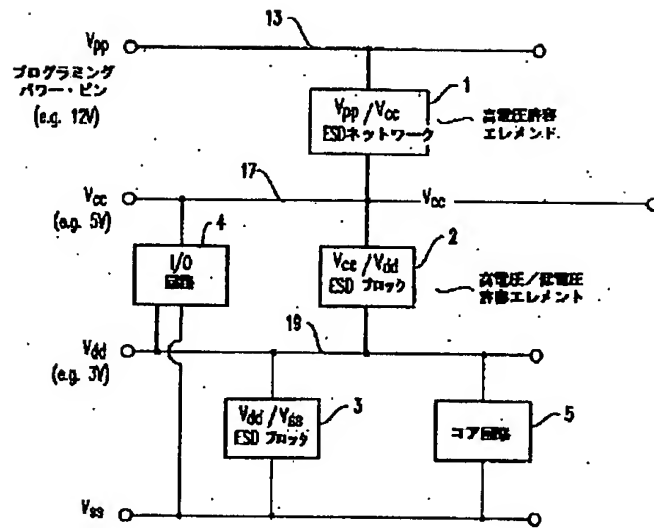
【图3】



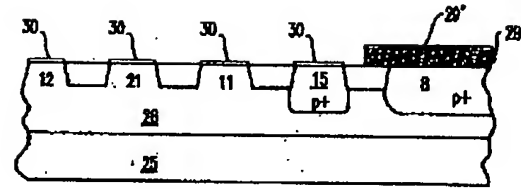
【图4】



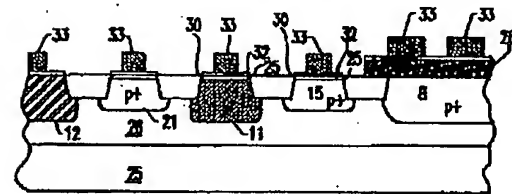
【図2】



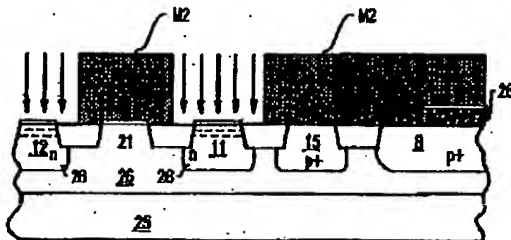
【図5】



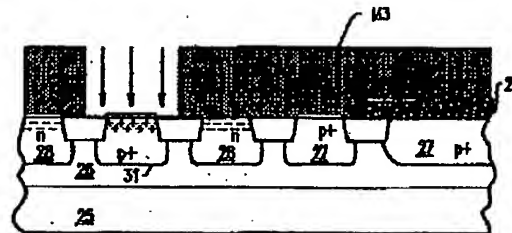
【図8】



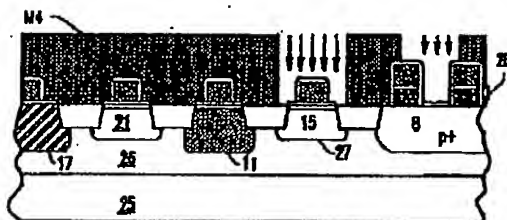
【図6】



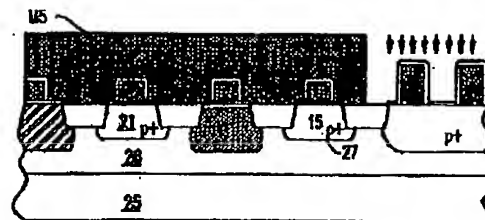
【図7】



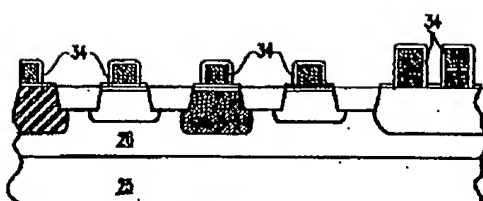
【図9】



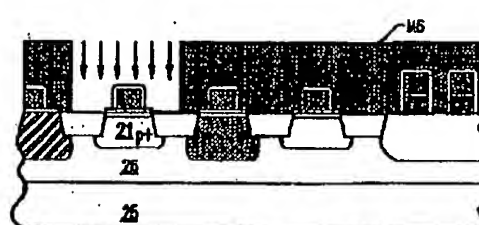
【図10】



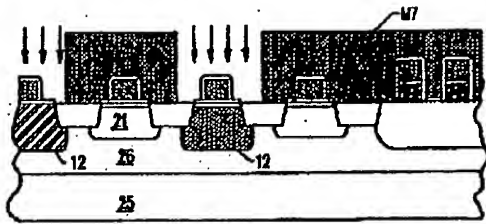
【図11】



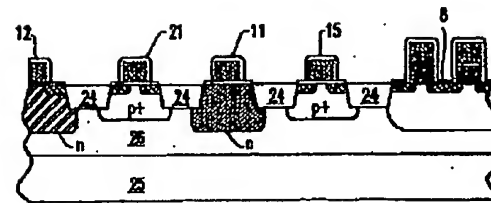
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 ロバート・シー・シャフランスキ
アメリカ合衆国10512 ニューヨーク州カ
ーメルスマドベック・アベニュー 233

(72)発明者 スチーブン・エイチ・ヴォールドマン
アメリカ合衆国05403 バーモント州バー
リントンオールド・ファーム・ロード・サ
ウス 75